



(19)

(11) Publication number: 2001060564 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11235543

(51) Int'l. Cl.: H01L 21/285 H01L 21/768

(22) Application date: 23.08.99

(30) Priority:

(43) Date of application 06.03.01  
publication:(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: SUZUKI MIEKO

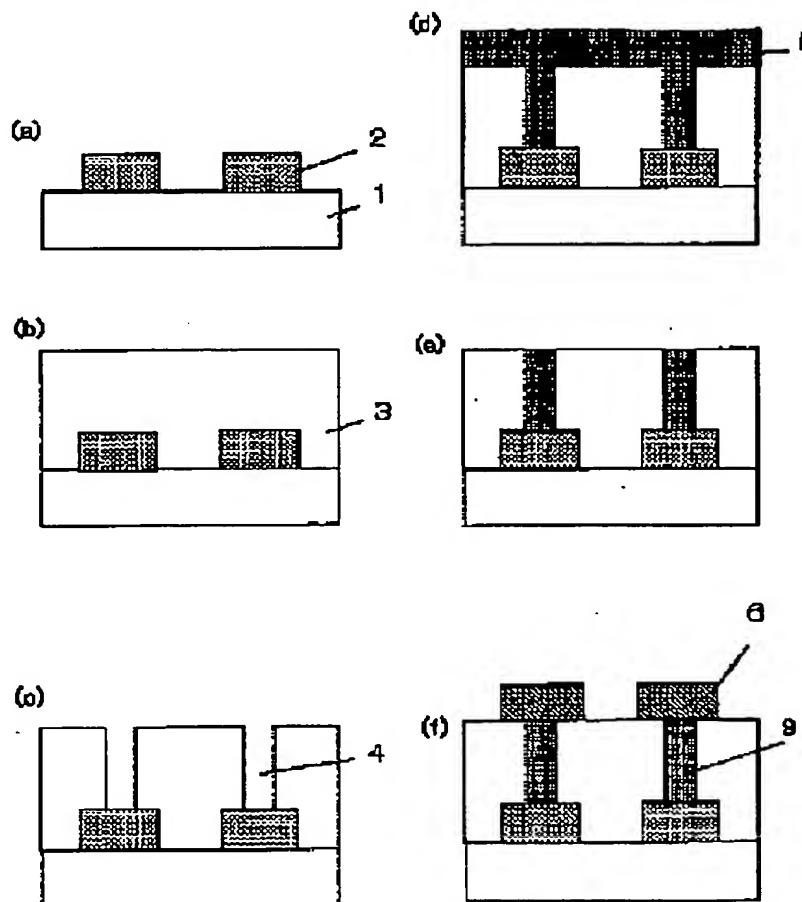
(74) Representative:

(54) MANUFACTURE OF  
SEMICONDUCTOR DEVICE

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent the occurrence of seams along the center lines of plugs at the removal of a tungsten film by specifying the film forming condition at the formation the tungsten film over the whole surface of a substrate by the CVD method.

**SOLUTION:** After a base oxide film 1 is formed on a semiconductor substrate, an Al wiring 2 is formed on the film 1 and an interlayer insulating film 3 is formed over the whole surface of the substrate and planarized. Then through-holes 4 are formed to the Al wiring 2 through the insulating film 3, and a barrier layer is formed by forming a TiN film over the whole surface of the substrate including the internal surface of the holes 4. Successively, the holes 4 are filled by thinly growing tungsten crystallites on the internal surfaces of the holes 4 and forming a CVD tungsten film over the whole surface of the substrate. At the formation the tungsten film, a temperature T of the substrate and a pressure P in the film forming chamber are respectively adjusted to  $T > 475^{\circ}\text{C}$  and  $90 < P \leq 150$  Torr, so that the film may become a high-density tungsten film 5. Then the tungsten film 5 is removed from the surface of the substrate by the CMP method, and an Al wiring 6 is laid on obtained tungsten plugs 9.



COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-60564

(P2001-60564A)

(43)公開日 平成13年3月6日 (2001.3.6)

(51)Int.Cl.  
H 01 L 21/285  
21/768

識別記号  
3 0 1

F 1  
H 01 L 21/285  
21/90

テマコード(参考)  
3 0 1 R 4 M 1 0 4  
C 5 F 0 3 3  
A

審査請求 有 請求項の数4 OL (全6頁)

(21)出願番号

特願平11-235543

(22)出願日

平成11年8月23日 (1999.8.23)

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 鈴木 三恵子

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74)代理人 100088328

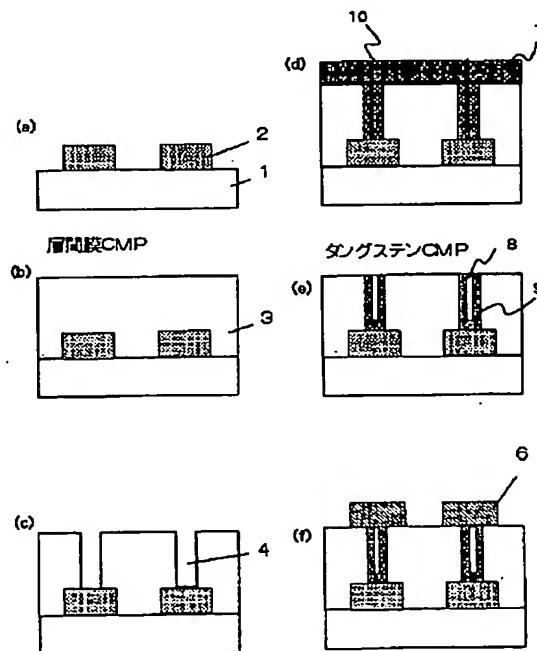
弁理士 金田 楠之 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 本発明は、半導体装置に用いるタンクステンプラグを形成するプロセスを見直すことで、タンクステン膜のCMP耐性を向上し、CMP研磨の時にプラグ中心線に沿って発生するシームを抑制する半導体装置の製造方法を提案すること。

【解決手段】 層間絶縁膜に形成された凹部をタンクステンで埋め込む工程を、基板温度 (T) を  $475\text{ }^{\circ}\text{C}$   $< T$  と、成膜チャンバ圧力 (P) を  $90 < P \leq 150$  (torr) とすることで緻密なタンクステン膜を得ることが可能となり、CMP研磨時のシームを抑制することができた。



## 【特許請求の範囲】

【請求項1】 層間絶縁膜を有する半導体基板に(A)該層間絶縁膜に凹部を形成する凹部形成工程と、(B)少なくとも該凹部内表面に、バリア層を成膜するバリア層形成工程と、(C)該凹部内部のバリア層表面に、次の工程で成長核となるタンクスチーンをCVD法により成膜する成長核形成工程と、(D)該凹部を埋め込むように該基板全面にタンクスチーン膜をCVD法により成膜するバルクタンクスチーン成膜工程と、(E)該基板全面のタンクスチーン膜及びバリア層を前記層間絶縁膜表面が露出するまで化学的機械的研磨法により研磨を行なう化学的機械的研磨工程と、を行なうことにより、該凹部内部にのみタンクスチーンのプラグを残す、半導体装置の製造方法において、工程Dにおける成膜条件を基板温度(T)を475°C < T と、成膜チャンバ圧力(P)を90 < P ≤ 150(torr)と、することを特徴とする半導体装置の製造方法。

【請求項2】 前記層間絶縁膜に形成された凹部が前記層間絶縁膜に接して下層に存在する半導体素子の所定の箇所に至るものである場合は前記工程Dにおける基板温度(T)をT ≤ 600°C とすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記凹部が、A1配線が既に形成されている層間絶縁膜のA1配線の所定箇所に到るものである場合は前記工程Dにおける基板温度(T)をT ≤ 495°C とすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記バリア層としてTiN、TiW又はTi/TiNのいずれかひとつを用いる事を特徴とする請求項1～3のいずれか一項に記載の半導体装置に用いられる半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、多層膜構造を有する半導体装置の製造方法である。より詳細には、層間絶縁膜を通して、半導体素子と上層の金属配線とを又は異なる層の間を金属配線で、接続するタンクスチーンのプラグの製造方法に関する。

## 【0002】

【従来の技術】 半導体装置の微細化が進むにつれて、異なる層の間を配線で接続するため又は半導体基板上の素子とその上層の配線とを接続するために、層間絶縁膜を貫通する金属製の配線(以下、プラグと記載する。)を利用する技術が用いられている。この時、異なる層に存在する配線を相互に接続するためのものをスルーホール、半導体基板上の素子とその上層の配線とを接続するためのものをコンタクトホールという。(以下、スルーホール及びコンタクトホールを両者の区別が必要な場合以外は、単に「ホール」と記載する。)

プラグは従来スパッタリング成膜によるA1で作製され

10

20

30

40

50

ていた。しかし、半導体装置の微細化について、埋め込むべきホールのアスペクト比が高くなつたために、スパッタ法による埋め込みでプラグを作製することが難しくなってきた。

【0003】スパッタ法に代わり最近注目されている方法は、良好なステップカバレージが得られるCVD成膜を利用した方法である。プラグの材料としては高融点金属であるタンクスチーンが一般に用いられている。

【0004】また、最近は、CVD法によりコンタクトホールを埋め込んだ後、半導体基板全面に成膜された不要なタンクスチーン膜を除去するために、化学的機械的研磨法(以下、CMP(Chemical Mechanical polishing)法と記載。)が適用されるようになった。

【0005】しかし、CVD法によるタンクスチーンプラグ形成と、CMP法によるタンクスチーン膜の除去を併用した場合に、プラグの中心線に沿って、空孔が生じるシームという問題が発生する。シームの発生は、タンクスチーンプラグの製造工程と密接に関わっているので、異なる層の間を配線で接続するために設けられるスルーホールの場合を例にして、従来法によるタンクスチーンプラグの製造方法を示す(図2参照)。

(1) 既に、能動素子が存在する半導体基板上の下地酸化膜1に第一のA1配線2を公知のフォトリソグラフィー技術で作製する(図2(a))。

(2) 第一のA1配線2のパターニングが終了したら、基板全面に層間絶縁膜3を成膜し、その後、CMP法により平坦化する(図2(b))。

(3) 続いて、フォトリソグラフィー技術により層間絶縁膜3に第一のA1配線2に至るホール4を形成する(図2(c))。

(4) 公知の方法で、所定の箇所にホール4を有する半導体素子の全面(ホール4内表面を含む。)に、スパッタリング法によりTiNを成膜する。このTiNは、タンクスチーンとシリコン酸化膜の密着性を改善するために用いられるものでありバリア層と呼ばれる(図2(c))。

(5) 引き続いてバルクタンクスチーン膜の成長核となるタンクスチーンの微結晶をCVD法により半導体基板全面(ホール4内表面も含む。)に成長させる。この反応

40 は、WF<sub>6</sub>のSiH<sub>4</sub>による還元を利用しており、成膜速度が遅い。バルクタンクスチーン膜の成長の核となるタンクスチーン膜が500Åほど成長したところで核成長を停止する(図示せず。)。

(6) 核成長プロセスの終了後、CVDの原料ガスをWF<sub>6</sub>とH<sub>2</sub>に変更し、成膜速度が速いWF<sub>6</sub>のH<sub>2</sub>による還元反応により、タンクスチーン膜7をホール内部に成長させ、ホール4内部を完全にタンクスチーンで埋め込む(図2(d))。

(7) ホール4内部が完全にタンクスチーンで埋め込まれたならば、半導体基板表面のタンクスチーン膜7及びバリ

ア層とをCMP法により研磨除去し、ホール内部にのみタンクスチーンを残しプラグ9を完成させる(図2(e))。

(8)最後に、プラグ9上に公知の方法によりA1配線6を形成する(図2(f))。

【0006】工程6のタンクスチーンのバルク成長をより詳細に検討すると、成膜の初期段階においてはホール4の内壁に成長しているタンクスチーン膜の膜厚が薄いために、ホール4の内部に原料ガスが供給されやすく、成膜は順調に進行する。しかし、タンクスチーン膜7がホール4内壁に厚く堆積すると、ホールに残された空間が徐々に狭くなっている、原料ガスがホール内部に供給され難くなる。

【0007】このため、ホール内部におけるタンクスチーン膜7の成長速度は、ホール4内部に残された空間が狭くなるとともに遅くなり、埋め込みの最終段階では成長速度は殆ど0に近くなると考えられる。

【0008】つまり、ホール4の中心線付近のタンクスチーンの微結晶は、互いに結合していると言うよりは、互いに接しあっている状況になっていると思われる。つまり、ホールの中心線付近は結晶欠陥10が多い構造をなしているのである(図2(d))ところで、タンクスチーンのCMPは、研磨剤の中に含まれる過酸化水素等の酸化剤の働きにより酸化されたタンクスチーンを研磨粒子が削り取るというメカニズムで進行する。ところが、この過酸化水素が上述の結晶欠陥10に沿ってプラグ内部に侵入しタンクスチーンを酸化し、生成した酸化タンクスチーンが研磨粒子により除かれてしまうため、結局、ホールの中心線に沿って空孔が発生してしまう。また、一度、空孔が発生すると、タンクスチーン膜と研磨剤との接触面積が研磨とともに増大するため、加速的にプラグ中の空孔が大きくなっていく。このようにして、シーム8が成長するものと推測される。

【0009】シーム8を持つタンクスチーンのプラグ9は内部に異物を含み易く、タンクスチーンのプラグ9上に新たな膜が成膜されて温度が上昇する場合など、接触不良を引き起こすだけではなく、シーム内表面に付着した水が一気に蒸発して発生する膜膨れや、膜剥がれ等の原因となっていた。

【0010】

【発明が解決しようとする課題】本発明の目的は、上記のシームを解決すべくなされたものであり、タンクスチーンプラグを形成するプロセスを見直すことで、タンクスチーン膜のCMP研磨に対する耐性を向上し、CMP研磨の時にプラグ中心線に沿って発生するシームを抑制する半導体装置の製造方法を提案することである。

【0011】また、本発明の目的は半導体製造工程中で歩留まり低下の大きな一因となっていたタンクスチーンプラグに発生するシームの問題を解決する事で、半導体製造工程の歩留まりを向上させることである。

【0012】

【課題を解決するための手段】本発明者らは、上述の問題を解決すべく、成膜条件を種々に変化したタンクスチーン膜に対しCMP研磨を行なう実験を繰り返すことで、本発明を着想するに至った。

【0013】層間絶縁膜を有する半導体基板に(A)該層間絶縁膜に凹部を形成する凹部形成工程と、(B)少なくとも該凹部内表面に、バリア層を成膜するバリア層形成工程と、(C)該凹部内部のバリア層表面に、次の工程で成長核となるタンクスチーンをCVD法により成膜する成長核形成工程と、(D)該凹部を埋め込むように該基板全面にタンクスチーン膜をCVD法により成膜するバルクタンクスチーン成膜工程と、(E)該基板全面のタンクスチーン膜及びバリア層を前記層間絶縁膜表面が露出するまで化学的機械的研磨法により研磨を行なう化学的機械的研磨工程と、を行なうことにより、該凹部内部にのみタンクスチーンのプラグを残す、半導体装置の製造方法において、工程Dにおける成膜条件を基板温度(T)を475(°C) < T と、成膜チャンバ圧力(P)を90 < P ≤ 150(torr)と、することを特徴とする半導体装置の製造方法を提供する。

【0014】この際、前記層間絶縁膜に形成された凹部が前記層間絶縁膜に接して下層に存在する半導体素子の所定の箇所に至るものである場合は前記工程Dにおける基板温度を基板温度(T)をT ≤ 600(°C)とすることが望ましい。

【0015】成膜時の基板温度は475°Cよりも高い温度であれば、本発明の効果である緻密なタンクスチーン膜が得られる。基板温度の上限はタンクスチーン膜を成膜しようとする基板上のA1配線の有無で変化する。

【0016】半導体素子と配線を接続するためのコンタクトホール用のプラグのように半導体基板上にA1配線が形成されていない時に本発明を実施する場合は基板温度の上限はT ≤ 600(°C)とすることが可能となる。この場合、A1配線の損傷を考慮しなくても良いからである。この条件で成膜を行なうことでより一層CMP耐性が優れた緻密なタンクスチーン膜が得られる。

【0017】また、前記凹部が、A1配線が既に形成されている層間絶縁膜のA1配線の所定箇所に到るものである場合は前記工程Dにおける基板温度(T)をT ≤ 495(°C)とすることが望ましい。

【0018】これは、異なる層のA1配線をタンクスチーンプラグで接続する場合等に対応する。この際には、前記工程Dで許容される基板温度(T)の上限は、A1配線の損傷を抑えるために495°C以下とする事が望ましい。495°C以下であれば、A1配線に悪影響を及ぼすことなく、充分に緻密なタンクスチーン膜が得られる。また、成膜時の圧力を90 torrよりも高い圧力とすることで、本発明の効果が確認可能な程度の緻密な膜が得られる。より好適には、成膜時の圧力は100 torrよりも高

いことであり、100 torrより高い圧力であれば、十分に緻密な膜が得られる。成膜時の圧力が150 torr以下であれば、ストレスが抑えられる膜形成が可能である。

【0019】プラグとなるタンクステン膜を上述の条件で成膜することで、CMP研磨に対する耐性が良好な緻密なタンクステン膜を得ることでき、CMPによるタンクステン膜のエッチバック時に、プラグ中心線に沿って発生するシームを抑制することができる。

【0020】この理由は、従来法よりも、タンクステン膜の成膜速度を緩やかにしたために、W結晶そのものが緻密となったこと、さらに、成膜の進行につれてホール内部が狭くなってしまっても、ある程度の原料ガスがホール内部に供給され続けたためと思われる。そのため、ホール中心線に沿って生成する結晶の接触による結晶欠陥に伴う隙間が実用上問題とならないレベルまで狭くなつたものと思われる。

【0021】また、本発明で成膜したタンクステン膜は膜が緻密となり、プラグ中心線に沿って存在する結晶欠陥が実用上問題とならないレベルまで抑えられたためか、従来法と同様に過酸化水素等の酸化剤が添加された研磨剤をCMP研磨で用いる用いることが可能となつた。

【0022】前述のバリア層としてTiN、TiW又はTi/TiNのいずれかを用いることが望ましい。ここで、バリア層は、タンクステン膜が成膜される下地(Si、Si酸化膜、金属等)とタンクステン膜の間に存在する膜であり、両者の密着性を高めるために用いられる。

【0023】また、原料ガスであるWF<sub>6</sub>ガスの流量は50～100 sccmであることが望ましい。この条件は従来法によるバルクタンクステン成膜工程よりも小さく、本発明におけるタンクステン膜の成長速度は従来法よりも小さくなる。

【0024】流量が50 sccm以上であれば、膜厚にも依るが実用上問題の無い成膜速度で、かつ、従来法に比べて非常に緻密な膜が得られる。また、ガス流量が100 sccm以下であれば、本発明の効果を確認可能な程度の緻密な膜が、従来法とほぼ同等の成膜速度で得られる。

【0025】また、本発明の副次的な効果として、従来法よりもタンクステン膜が緻密となりプラグ内部への酸化剤の侵入が抑制されるためか、CMPによりプラグ表面が凹型に削れてしまうディッシングも従来法に比べて抑えられた。

#### 【0026】

【発明の実施の形態】以下に、既にA1配線を有する基板上で異なる層をタンクステンプラグで接続する場合の実施例及び、従来法による比較例を示す。

#### 【0027】

【実施例】<実施例1>既に、能動素子を有する半導体基板上に下地酸化膜1を成膜し、その下地酸化膜1上に

第一のA1配線2を通常の方法により作製し(図1(a))、続いて、層間絶縁膜3としてシリコン酸化膜をプラズマCVD法により1μm成膜する。その後、CMP法により、半導体基板表面を平坦化する(図1(b))。この時の研磨剤は、シリカを主成分とし、研磨剤は中性またはアルカリ性とする。研磨条件を以下にしめす。

#### 【0028】

定盤回転数	: 280 rpm
キャリア回転数	: 17.5 rpm
荷重	: 6 psi
ウエハ荷重	: 5.9 psi
スラリー流量	: 100 cc/min
pH	: 6～13

平坦化が終了した後に、層間絶縁膜3上に、KrF線による通常のフォトリソグラフィー技術により、直径0.3μm、深さ0.5μmの、下地酸化膜1上に形成された第一のA1配線2の所定位置に至るスルーホール4を形成した。

#### 20 = バリア層成膜工程 =

さらに、タンクステン層とホール4内表面材料(特にシリコン酸化膜)とに挟まれて存在し、両者の密着性を高めるために必要であるTiNを反応性スパッタ法により半導体基板全面(ホール内表面を含む)に200Åの厚さで成膜した(図示せず)。この時のスパッタ成膜の条件を以下に示す。

#### 【0029】

N <sub>2</sub> 流量: Ar流量	= 1:1
チャンバ圧力	: 2.5 mtorr
RFパワー	: 4.5 kW
ターゲットと試料の距離	: 50 mm
基板温度	: 200°C

#### 20 = 成長核形成工程 =

続いて、高密度CVDタンクステン膜成長のための核となるタンクステン微結晶をホール内表面に薄く低圧CVD法で成長する。この時の成膜条件を以下に示した(図示せず)。

#### 【0030】

WF <sub>6</sub> 流量	: 300 sccm
SiH <sub>4</sub> 流量	: 100 sccm
Ar流量	: 1000 sccm
基板温度	: 400°C
チャンバ圧力	: 300 mtorr

この条件にて、約500Åのタンクステン膜が成長したら、一端ガスの供給をとめて、成長核形成工程を終了する。

#### 50 = バルクタンクステン成膜工程 =

引き続いて、WF<sub>6</sub>とH<sub>2</sub>を成膜チャンバに供給して、バルクの高密度CVDタンクステンを成長させ、ホール内部を埋め込む。この反応は、核成長工程よりも膜の成膜

速度が速いH<sub>2</sub>還元条件で行われる。この時の成膜条件を以下に示した。

## 【0031】

WF<sub>6</sub>流量 : 100 sccm  
H<sub>2</sub>流量 : 600 sccm  
Ar流量 : 1000 sccm  
基板温度 : 475°C  
チャンバ圧力 : 90 torr

この時の膜の成長速度は、2000 Å/secである。これは、従来法(約4000 Å/sec)よりも低いレートであるが、より緻密な高密度タンクスチレン膜5が形成されるからと思われる。高密度CVDタンクスチレン膜5がホールを完全に埋め込み、かつ、絶縁膜上での膜厚が0.3 μmとなった段階で、成膜を終了した(図1(d))。

= CMP工程 =

そして、半導体基板全面に成膜されている不要な高密度CVDタンクスチレン膜5をCMP法により除去した。

【0032】この時のCMPの研磨は、シリカ粒子を主成分とする研磨剤を用い、さらに、酸化剤として過酸化水素を添加して酸性(pHを3~5)に調整した研磨剤を用いて行なった。この時の研磨条件を以下に示す(図1(e))。

## 【0033】

定盤回転数 : 280 rpm  
キャリア回転数 : 17.5 rpm  
荷重 : 6 psi  
ウェハ荷重 : 5.9 psi  
スラリー流量 : 100 cc/min  
pH : 3~5  
H<sub>2</sub>O<sub>2</sub>濃度 : 10%

CMP終了後、得られたタンクスチレンプラグ表面を走査型電子顕微鏡(以下「SEM」という。)で、断面を透過型電子顕微鏡(以下「TEM」という。)で観察したが、タンクスチレンプラグ中にシームは存在していなかった。最後に、本発明で得られたタンクスチレンプラグ上にアルミニウム配線6を施した(図1(f))。

10

<比較例1>タンクスチレン膜の成膜温度を450°Cとした以外は、実施例1と同じ条件でタンクスチレンプラグを作製した。完成したタンクスチレンプラグの表面のSEM観察及び断面のTEM観察を行なったところ、プラグ中央部にシームが観察された。

<比較例2>タンクスチレン膜の成膜時の成膜チャンバの圧力を80 torrと変更した以外は、実施例1と同じ条件でタンクスチレンプラグを作製した。完成したタンクスチレンプラグの表面のSEM観察及び断面のTEM観察を行なったところ、プラグ中央部にシームが観察された。

## 【0034】

【発明の効果】本発明によりプラグ中のタンクスチレン膜を緻密に成長することができ、従来、プラグ中心線付近に集中して存在した結晶欠陥に沿って、研磨剤に含まれる酸化剤が侵入し、CMP法によるタンクスチレン膜の除去の際にプラグ中心線に沿って発生していたシームの問題を解決した。

【0035】本発明により、従来法に比べて、信頼性の高いタンクスチレンプラグを得ることが可能となり、半導体装置の歩留まりを著しく改善することに成功した。

## 【図面の簡単な説明】

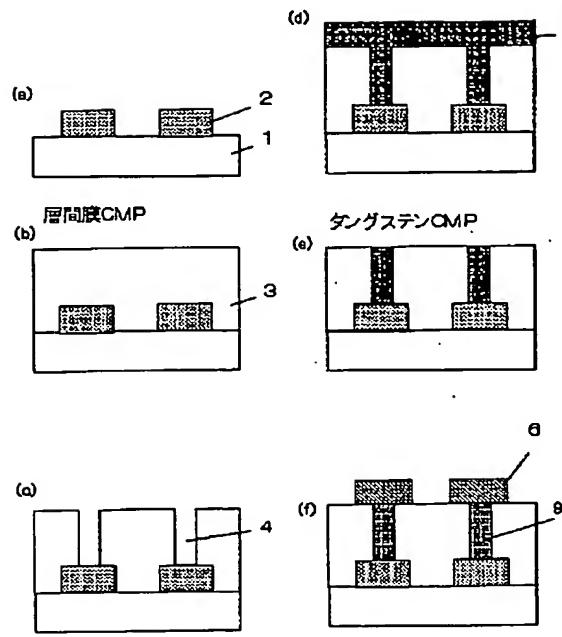
【図1】本発明によるタンクスチレンプラグ製造工程の各工程におけるプラグ断面を表す工程図である。

【図2】従来法によるタンクスチレンプラグ製造工程の各工程におけるプラグ断面を表す工程図である。

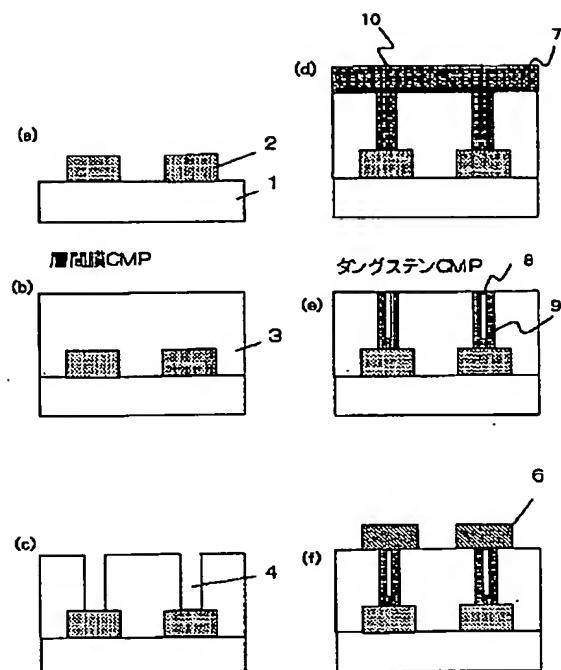
## 【符号の説明】

1 : 下地酸化膜  
2 : 第一のAl配線  
3 : 層間絶縁膜  
30 4 : スルーホール  
5 : 高密度タンクスチレン膜  
6 : アルミニウム配線  
7 : タンクスチレン膜  
8 : シーム  
9 : プラグ  
10 : 結晶欠陥

【図1】



【図2】



フロントページの続き

F ターム(参考) 4M104 AA01 BB14 BB18 BB30 CC01  
 DD07 DD37 DD42 DD43 DD75  
 FF17 FF18 FF22 GG13 HH20  
 5F033 HH08 JJ18 JJ19 JJ23 JJ33  
 KK08 MM01 NN06 NN07 PP09  
 PP16 QQ08 QQ09 QQ37 QQ48  
 QQ50 RR04 SS15 WW03 WW05  
 XX01